

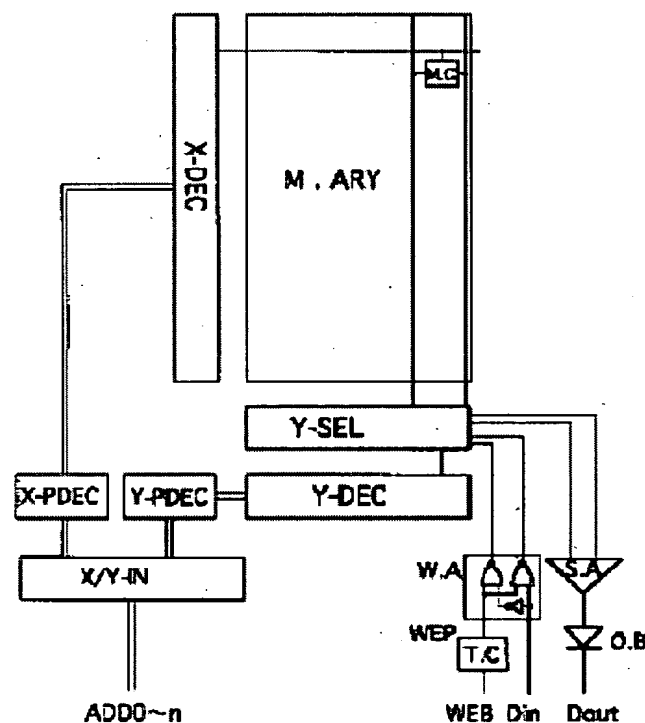
ASIC MEMORY, MICROCOMPUTER USING THE MEMORY AND MEMORY DESIGN METHOD

Patent number: JP8123838
Publication date: 1996-05-17
Inventor: OGUCHI SATOSHI; IWAMURA MASAHIRO; KATO KEI; OGAWA HIROAKI
Applicant: HITACHI LTD;; HITACHI ENG CO LTD
Classification:
 - **international:** G06F17/50
 - **european:**
Application number: JP19940256541 19941021
Priority number(s):

Abstract of JP8123838

PURPOSE: To provide an ASIC memory, a microcomputer and a memory design method capable of setting the optimum generation timing of a control signal in response to the constitution and the capacity of the memory which vary diversely by the requests of customers and obtaining the best performance in accordance with those memory constitution and capacity.

CONSTITUTION: A semi-custom LSI compiled memory includes a memory array M.ARY consisting of plural memory cells M.C, an X main decoder X-DEC, a Y main decoder Y-DEC, an X predecoder X-PDEC, a Y predecoder Y-PDEC, an X/Y input buffer X/Y-IN, a Y selection circuit Y-SEL, a sense amplifier S.A, an output buffer O.B, and a write amplifier W.A. Furthermore a timing control circuit T.C is added. The delay time of the circuit T.C and the gate length or the stage number of a CMOS inverter are calculated by an automatic design program and reflected on the layout.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-123838

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50		9191-5H	G 0 6 F 15/ 60	6 5 8 M
		9191-5H		6 5 2 A

審査請求 未請求 請求項の数7 O L (全7頁)

(21) 出願番号 特願平6-256541

(22) 出願日 平成6年(1994)10月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72) 発明者 小口 聡

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 岩村 将弘

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

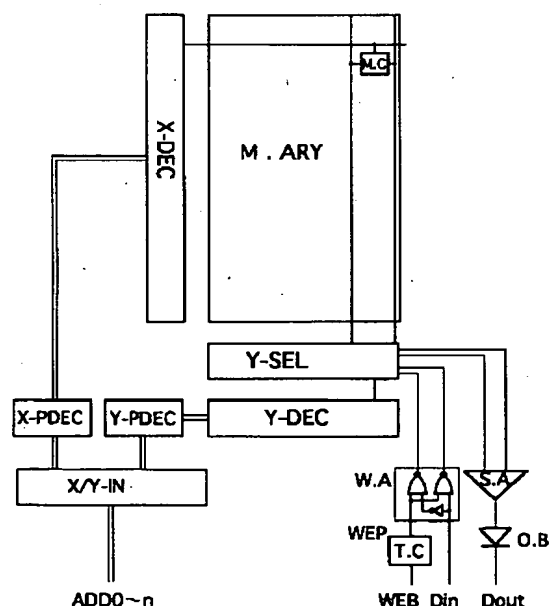
(54) 【発明の名称】 A S I Cメモリおよびそれを用いたマイクロコンピュータ、ならびにメモリ設計方法

(57) 【要約】

【目的】 顧客の要求によって多様に変化するメモリの構成、容量に応じて最適な制御信号発生タイミングを設定し、構成、容量に見合った最高性能が実現できるA S I Cメモリ、マイクロコンピュータおよびメモリ設計技術を提供する。

【構成】 セミカスタムL S I用コンパイルドメモリであって、複数のメモリセルM. CによるメモリアレイM. A R Y、XメインデコーダX-DECおよびYメインデコーダY-DEC、XプリデコーダX-PDECおよびYプリデコーダY-PDEC、X/Y入力バッファX/Y-IN、Y選択回路Y-SEL、センスアンプS. A、出力バッファO. B、書き込みアンプW. Aに加えて、タイミング調整回路T. Cが追加され、自動設計プログラムによってタイミング調整回路T. Cの遅延時間およびCMOSインバータのゲート長または段数が算出されてレイアウトに反映されるようになっている。

図 1



T.C : タイミング調整回路 (タイミング調整手段)

【特許請求の範囲】

【請求項1】 特定の顧客または特定の機器用に開発するASICメモリであって、回路設計時にメモリの構成および容量に応じて遅延時間を任意に設定可能なタイミング調整手段が内蔵されていることを特徴とするASICメモリ。

【請求項2】 請求項1記載のASICメモリを用いたマイクロコンピュータであって、前記ASICメモリの他に、少なくともCPUおよびその周辺回路が集積されて構成されていることを特徴とするマイクロコンピュータ。

【請求項3】 請求項2記載のマイクロコンピュータであって、前記マイクロコンピュータが、携帯電話などの通信機器、ノート型パーソナルコンピュータなどのOA機器、カメラ一体型VTRなどの家電機器に内蔵されていることを特徴とするマイクロコンピュータ。

【請求項4】 特定の顧客または特定の機器用に開発するASICメモリのメモリ設計方法であって、メモリの構成および容量に応じて変化するアドレス確定時間に対応し、タイミング調整手段により制御信号内部タイミングを調整することを特徴とするメモリ設計方法。

【請求項5】 請求項4記載のメモリ設計方法であって、拡散層から最適化設計を行うASIC用高性能メモリモジュールを設計する場合には、前記タイミング調整手段に2段のCMOSインバータを用い、このCMOSインバータを構成するMOSFETのゲート長を変更することによって遅延時間を任意に設定することを特徴とするメモリ設計方法。

【請求項6】 請求項4記載のメモリ設計方法であって、ゲートアレイなどのASIC用メモリモジュールを設計する場合には、前記タイミング調整手段にCMOSインバータを用い、このCMOSインバータの段数を変更することによって遅延時間を任意に設定することを特徴とするメモリ設計方法。

【請求項7】 請求項4、5または6記載のメモリ設計方法であって、前記タイミング調整手段の遅延時間および前記CMOSインバータのゲート長または段数を、メモリ構成および容量を表すパラメータを用いて予め式化しておき、顧客要求により前記パラメータが決定すると、自動設計プログラムによって自動的に前記遅延時間および前記ゲート長または段数を算出してレイアウトに反映することを特徴とするメモリ設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ASIC(Application Specific Integrated Circuit)メモリの設計技術に関し、たとえばASIC、セルベースICなどのセミカスタムLSI用コンパイルドメモリ、特に拡散層から最適化設計を行う高性能メモリモジュール(Embedded Array用Diffused RAM)の自動設計に用いて好適なASIC

メモリおよびそれを用いたマイクロコンピュータ、ならびにメモリ設計方法に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、拡散層から最適化設計を行う高性能メモリモジュールに関しては、日経マグロウヒル社、1985年9月9日発行の「日経エレクトロニクス」P166～P192などに記載されており、ASIC、セルベースICなどのセミカスタムLSI用コンパイルドメモリの設計は、構成、容量が異なる複数のメモリに対し、共通のセルライブラリから抽出された部品を組み合わせることでメモリを構築している。

【0003】一方、メモリ内部の制御信号は、上記セルライブラリから抽出された部品の1つである制御信号発生回路とタイミング設定回路によって作られており、設計者は誤動作などの不良が発生しないように制御信号の発生タイミングをタイミング設定回路によって調整している。

【0004】

【発明が解決しようとする課題】ところで、前記のようなタイミング設定回路技術においては、1つの制御信号に対して1種類の制御信号発生タイミングしか用意されておらず、顧客の要求に応じてメモリ構成、容量が変化しても制御信号発生タイミングは一律に設定されている。

【0005】従って、あらゆる構成で誤動作を防止するため、制御信号発生タイミングは最大構成、最大容量を想定して設定されている。このため、本来、高速動作が可能な小容量のメモリでも最大容量のメモリと同一の制御信号発生タイミングを使わざるを得ず、動作速度を高速化する妨げとなっている。

【0006】また、このようなASICメモリは、DRAM、SRAMなどのようにメモリの構成および容量が固定で、64K、16K、4Kのような専用一種類の設計で可能となる汎用メモリに対して、顧客の多様な要求に対応して設計されるものであり、よってこのASICメモリには顧客の要求に最適な設計を共通のライブラリを用いて行うことが望まれている。

【0007】そこで、本発明の目的は、顧客の要求によって多様に変化するメモリの構成、容量に応じて最適な制御信号発生タイミングを設定し、構成、容量に見合った最高性能を実現することができるASICメモリおよびそれを用いたマイクロコンピュータ、ならびにメモリ設計方法を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかにするであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】すなわち、本発明のASICメモリは、特定の顧客または特定の機器用に開発する特定用途向け集積回路のメモリであり、このメモリの構成および容量に応じて遅延時間を任意に設定可能なタイミング調整手段を内蔵するものである。

【0011】また、本発明のマイクロコンピュータは、前記ASICメモリの他に、少なくともCPUおよびその周辺回路を集積して構成するものであり、たとえばEWS (Engineering Work Station) 携帯電話などの通信機器、ノート型パーソナルコンピュータなどのOA機器、カメラ一体型VTRなどの家電機器に内蔵するものである。

【0012】さらに、本発明のメモリ設計方法は、ASICメモリの設計に適用され、メモリの構成および容量に応じて変化するアドレス確定時間に対応し、タイミング調整手段により制御信号内部タイミングを調整するものである。

【0013】このASICメモリとして、拡散層から最適化設計を行うASIC用高性能メモリモジュールを設計する場合には、遅延時間を任意に設定するために、タイミング調整手段に2段のCMOSインバータを用い、このCMOSインバータを構成するMOSFETのゲート長を変更するようにしたものである。

【0014】また、ゲートアレイなどのASIC用メモリモジュールを設計する場合には、タイミング調整手段にCMOSインバータを用い、このCMOSインバータの段数を変更するようにしたものである。

【0015】さらに、ASICメモリの自動設計に適用する場合には、タイミング調整手段の遅延時間およびCMOSインバータのゲート長または段数を、メモリ構成および容量を表すパラメータを用いて予め式化しておき、顧客要求によりパラメータが決定すると、自動設計プログラムによって自動的に遅延時間およびゲート長または段数を算出してレイアウトに反映するようにしたものである。

【0016】

【作用】前記したASICメモリおよびそれを用いたマイクロコンピュータ、ならびにメモリ設計方法によれば、遅延時間を任意に設定できるタイミング調整手段が内蔵されているため、メモリの構成および容量に応じて変化するアドレス確定時間に対応し、制御信号内部タイミング、特に書き込みアンプ活性化信号の発生タイミングが調整でき、メモリの構成、容量に応じた最適な制御信号内部タイミングを得ることができる。

【0017】また、タイミング調整手段はCMOSインバータを用いた遅延回路からなるが、このCMOSインバータを構成するMOSFETのゲート長を調整することによって遅延時間を制御しているため、特に拡散層から最適化設計を行うASIC用高性能メモリモジュールを設計する場合などに遅延時間を細かく調整することが

できる。

【0018】さらに、CMOSインバータの段数を変更して遅延時間を調整する場合は、微調整には適さないが、特にゲートアレイなどの固定ゲート長のASIC用メモリモジュールを設計する場合に良好に適用可能となり、このように応用範囲を広くすることができる。

【0019】これにより、制御信号内部タイミングを変換することによって、メモリの構成、容量に応じた高速動作を実現し、また必要十分な動作マージンを確保して誤書き込みなどの誤動作を防止することができる。

【0020】特に、このASICメモリを自動設計による特定の顧客または特定の機器用に開発するASICマイクロコンピュータ、さらにこのマイクロコンピュータを内蔵するEWSなどの通信機器、OA機器、家電機器などに用いた場合には、パラメータ(Row, Column, Bit)と遅延時間およびゲート長または段数との関係に基づいて、自動設計による設計効率の向上を図ることができる。

【0021】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0022】(実施例1) 図1は本発明の一実施例である制御信号内部タイミング調整機能を有するASICメモリを示す概略回路構成図、図2は本実施例における制御信号内部タイミング調整機能を説明するタイミングチャート、図3はASICメモリにおける制御信号内部タイミング調整回路を示す概略回路図、図4(a)、(b)はCMOSインバータのゲート長変更または段数変更によるタイミング調整回路を示す回路図、図5は自動設計プログラムを適用した場合の処理を示すフローチャート、図6は本実施例のASICメモリを用いたマイクロコンピュータを示す概略構成図である。

【0023】まず、図1により本実施例のASICメモリの構成を説明する。

【0024】本実施例のASICメモリは、たとえば特定の顧客または特定の機器用に開発するセミカスタムLSI用コンパイルドメモリとされ、複数のメモリセルM. CによるメモリアレイM. ARY、XメインデコードX-DECおよびYメインデコードY-DEC、XブリデコードX-PDECおよびYブリデコードY-PDEC、X/Y入力バッファX/Y-IN、Y選択回路Y-SEL、センスアンプS. A、出力バッファO. B、書き込みアンプW. Aに加えて、後述するタイミング調整回路T. Cが追加されて構成されている。

【0025】次に、本実施例の作用について、始めにASICメモリの概略動作を図1により説明する。

【0026】まず、Xアドレス信号ADD0~nはX/Y入力バッファX/Y-INから取り込まれ、XブリデコードX-PDEC、XメインデコードX-DECによってワードドライバを選択し、所望のワード線を立ち上

げる。同様に、Yアドレス信号ADD0～nはX/Y入力バッファX/Y-INから取り込まれ、YプリデコーダY-PDEC、YメインデコーダY-DECによってカラム選択線を立ち上げ、Y選択回路Y-SELを介して所望のビット線対を選択する。

【0027】たとえば、書き込み動作の場合は、所望のワード線が立ち上がるのを待って、書き込みアンプ活性化信号WEPによって書き込みアンプW_Aを活性化して入力データD_{in}をメモリアレイM_{ARY}内の選択された所望のアドレスのメモリセルM_Cに書き込む。

【0028】通常、メモリモジュールが選択(CSB=0)されているときは、必ずいずれかのワード線が立ち上がっており、所望のワード線が立ち上がる前に書き込みアンプW_Aを活性化すると、目的とは異なるアドレスのメモリセルM_Cに書き込みを行うことになり、誤書き込みが発生する。これを防ぐためには、必ず所望のワード線が立ち上がってから書き込みアンプW_Aを活性化しなければならない。

【0029】ところが、アドレス信号が入力されてからワード線が立ち上がるまでの時間(デコード時間)は、メモリモジュールの構成や容量によって変化する。一般的には、容量が大きいときにはこのデコード時間が長くなり、小さいときには短くなる。

【0030】たとえば、図2に示すように、従来の設計方法では、メモリ構成(64K、16K、4K)によらず書き込みアンプ活性化信号(WEP1)の発生タイミングは一律であったため、上記デコード時間が最大の場合に合わせて設計されている。このため、小容量のメモリではワード線が立ち上がってから書き込みアンプW_Aが活性化されるまでに無駄な待ち時間がある。

【0031】そこで、本発明の実施例では、書き込みアンプ活性化信号(WEP1、WEP2、WEP3)の発生タイミングを可変とすることによって、この待ち時間を無くしてメモリ構成(64K、16K、4K)、容量に見合った高速書き込み動作を可能にしている。

【0032】すなわち、図3に示すような書き込みアンプ活性化信号WEPのタイミング調整回路(タイミング調整手段)T_Cを設け、外部書き込み信号WEBを2本に分け、一方は直接、もう一方は遅延回路を介して2入力NORゲートに入力されており、この2入力NORゲートの出力を書き込みアンプ活性化信号WEPとして用いている。ここで遅延回路の遅延時間を調整することで書き込みアンプ活性化信号WEPの発生タイミングを調整している。

【0033】具体的には、図4に示すような遅延回路が用いられ、図4(a)はゲート長変更による遅延時間の調整手法を示している。遅延回路は2段のCMOSインバータによって構成されている。ここで、CMOSインバータを構成するMOSFETのゲート長を変更することによって遅延時間を調整することができる。

【0034】たとえば、0.5μmプロセスを用いた場合、全てのMOSFETのゲート長を0.05μm拡大すると、遅延時間は約0.04ns増加する。このゲート長と遅延時間の関係は、使用するプロセスや電源、温度などの条件によって変化する。この手法は特に、拡散層から最適設計される高性能メモリモジュールに適用して効果的である。

【0035】また、図4(b)はCMOSインバータの段数変更による遅延時間の調整手法を示している。この遅延回路を構成するCMOSインバータを2段で1組とし、必要に応じて段数を増やすことによって遅延時間を調整することができる。

【0036】これには、2段のCMOSインバータを1セルとし、メモリの構成や容量に応じてセルを追加する方法と、10段程度を1セルとして予め配置しておき、AL配線によって必要な段数のみを接続し、使用しないCMOSインバータの入力をLowまたは(High)に固定しておく方法がある。この手法では遅延時間の微調整には適さないが、ゲートレイなどのMOS定数が固定の製品に適用して効果的である。

【0037】続いて、自動設計に適用した場合の処理を、図5のフローチャートに基づいて説明する。このASIC用メモリモジュールの設計には、コンパイラと呼ばれる自動設計プログラムが使用され、本実施例ではこの自動設計プログラムに上記の制御信号の調整方法が取り入れられている。以下にその内容を説明する。

【0038】まず、ステップ501において、セルライブラリの設計段階でメモリの構成、容量によりデコード時間がどのように変化するかをシミュレーションによって調べる。これより、メモリの各構成、容量での書き込みアンプ活性化信号の制御信号発生タイミングを決定する。

【0039】そして、ステップ502において、発生タイミングをメモリの構成、容量を表すパラメータ(Row, Column, Bit)で式化しておく。一方、遅延回路におけるCMOSインバータのゲート長と遅延時間の関係、またはCMOSインバータの段数と遅延時間の関係を予め調べておく。

【0040】このパラメータ(Row, Column, Bit)のそれぞれは、メモリモジュールのメモリアレイにおけるRow方向のメモリセルの数、Column方向のメモリセルの数、さらにメモリアレイの数によるBit数を示している。

【0041】この式化においては、たとえばアドレス確定のデコード時間T_{dec}を $T_{dec} = f(\text{Row}, \text{Column}, \text{Bit})$ とし、また制御信号発生タイミングT_{wep}を $T_{wep} = g(L_g, W, \text{段数})$ とした場合に、 $T_{dec} < T_{wep}$ となるように、ゲート長L_g、ゲート幅W、段数を決定することが条件となる。

【0042】さらに、ステップ503において、顧客の

要求でメモリの構成、容量が決定、すなわちRow, Column, Bitの各パラメータが決定すると、コンパイラによって自動的に制御信号発生タイミングが算出でき、このタイミングを得るためのCMOSインバータのゲート長または段数が決定する。

【0043】そして、ステップ504において、コンパイラはセルライブラリからセルを抽出、配列してメモリを構築する際、この情報をもとに遅延回路におけるCMOSインバータのゲート長、またはCMOSインバータの段数を自動的に変更して所望の制御信号発生タイミングを実現する。

【0044】さらに、ステップ505～507において、メモリの構成、容量に応じた最適な制御信号発生タイミングを考慮して構築されたメモリモジュールとしてのデータをストリームフォーマットにしてデータベース、さらにマスクデータとして格納することによって設計効率が向上できる自動設計への適用が可能となる。

【0045】従って、本実施例のASICメモリによれば、遅延回路を含む書き込みアンプ活性化信号WEPのタイミング調整回路T、Cが設けられていることにより、このタイミング調整回路T、Cによって書き込みアンプ活性化信号WEPの発生タイミングを調整することができるので、顧客が要求するメモリの構成、容量に応じた最適な制御信号発生タイミングを得ることができる。

【0046】また、タイミング調整回路T、Cにおいて、CMOSインバータを構成するMOSFETのゲート長を変更する場合には、遅延時間を細かく調整することができるので、特に拡散層から最適化設計を行うASIC用高性能メモリモジュールを設計する場合などに適用できる。

【0047】さらに、CMOSインバータの段数を変更する場合には、遅延時間の微調整には適さないが、特にゲートアレイなどの固定ゲート長のASIC用メモリモジュールを設計する場合などに良好に適用することができる。

【0048】また、本実施例のようなASICメモリは、半導体技術が微細になり、小型を追求するユーザー・ニーズの高まり、ユーザーがASICの設計に慣れたことなどから、たとえば図6に示すように、ASICメモリの他に、ユーザー・ロジック、CPUおよびその周辺回路が1チップに集積して構成され、携帯電話などの通信機器に内蔵されて用いられている。

【0049】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0050】たとえば、本実施例のASICメモリについては、携帯電話などの通信機器に内蔵されて用いられる場合について説明したが、本発明は前記実施例に限定

されるものではなく、ノート型パーソナルコンピュータなどのOA機器、カメラ一体型VTRなどの家電機器に内蔵して用いる場合などについても広く適用可能である。

【0051】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0052】(1). 回路設計時に遅延時間を任意に設定可能なタイミング調整手段が内蔵され、メモリの構成および容量に応じて変化するアドレス確定時間に対応し、制御信号内部タイミングを調整することにより、メモリの構成、容量に応じた最適な制御信号内部タイミングを得ることができるので、メモリの高速動作を実現することが可能となる。

【0053】(2). 前記(1)により、制御信号内部タイミングを可変とすることができるので、メモリの構成、容量に応じて必要十分な動作マージンを確保し、誤書き込みなどの誤動作を防止することが可能となる。

【0054】(3). 前記(1)において、タイミング調整手段に2段のCMOSインバータを用い、このCMOSインバータを構成するMOSFETのゲート長を変更する場合には、特に拡散層から最適化設計を行うASIC用高性能メモリモジュールを設計する場合に遅延時間を細かく調整することが可能となる。

【0055】(4). 前記(1)において、タイミング調整手段にCMOSインバータを用い、このCMOSインバータの段数を変更する場合には、特にゲートアレイなどの固定ゲート長のASIC用メモリモジュールを設計する場合に良好に適用することが可能となる。

【0056】(5). 前記(1)において、自動設計に適用する場合には、顧客要求によりメモリ構成および容量を表すパラメータが決定すると、自動設計プログラムによって自動的に遅延時間およびゲート長または段数を算出してレイアウトに反映することができるので、ASICメモリ、これを用いたASICマイクロコンピュータ、さらにこのマイクロコンピュータを内蔵するEWSなどの通信機器、OA機器、家電機器などの設計効率の向上を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である制御信号内部タイミング調整機能を有するASICメモリを示す概略回路構成図である。

【図2】本実施例における制御信号内部タイミング調整機能を説明するタイミングチャートである。

【図3】本実施例のASICメモリにおける制御信号内部タイミング調整回路を示す概略回路図である。

【図4】(a), (b) は本実施例において、CMOSインバータのゲート長変更または段数変更によるタイミング調整回路を示す回路図である。

【図5】本実施例において、自動設計プログラムを適用した場合の処理を示すフローチャートである。

【図6】本実施例のASICメモリを用いたマイクロコンピュータを示す概略構成図である。

【符号の説明】

M. C メモリセル

M. ARY メモリアレイ

X-DEC Xメインデコーダ

Y-DEC Yメインデコーダ

X-PDEC Xプリデコーダ

Y-PDEC Yプリデコーダ

X/Y-IN X/Y入力バッファ

Y-SEL Y選択回路

S. A センスアンプ

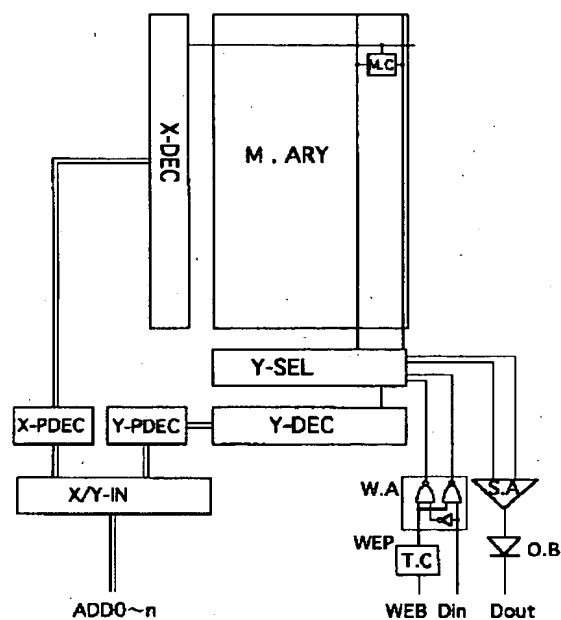
O. B 出力バッファ

W. A 書き込みアンプ

T. C タイミング調整回路

【図1】

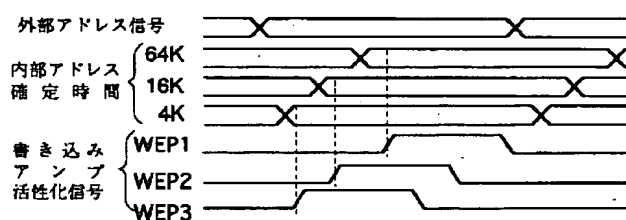
図 1



T.C : タイミング調整回路 (タイミング調整手段)

【図2】

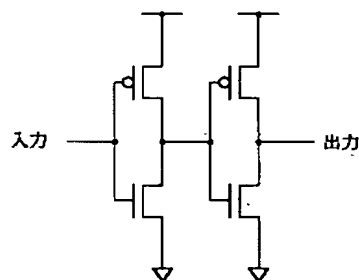
図 2



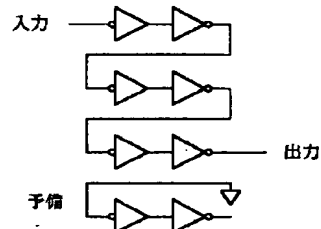
【図4】

図 4

(a)

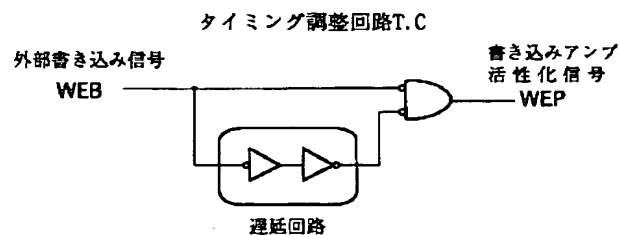


(b)



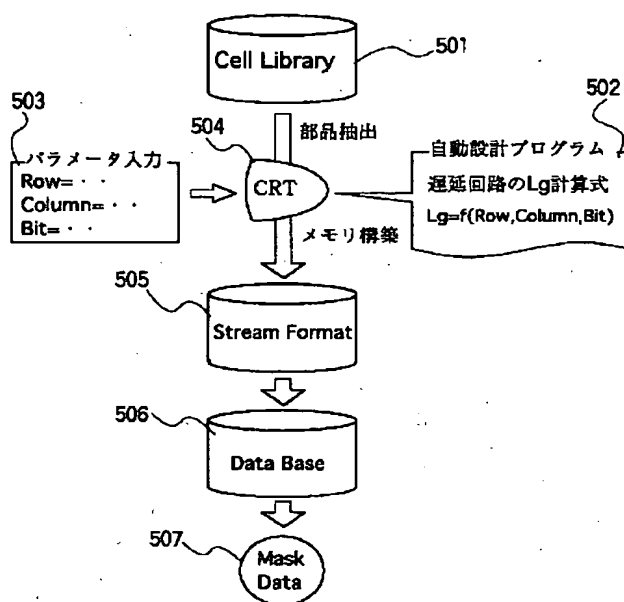
【図3】

図 3



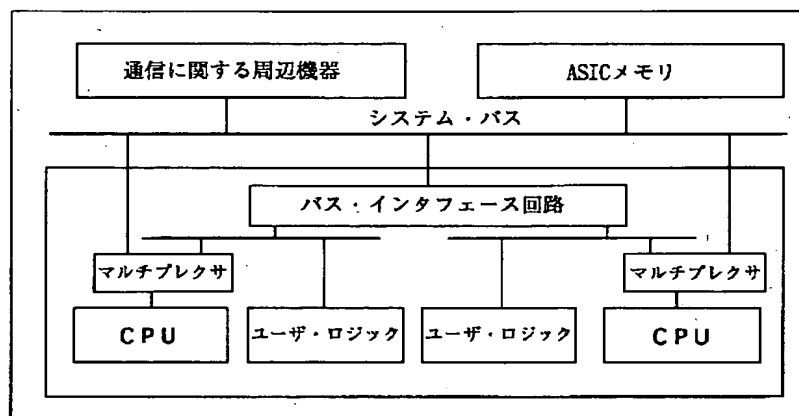
【図5】

図 5



【図6】

図 6



フロントページの続き

(72) 発明者 加藤 圭
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 小川 浩章
茨城県日立市幸町3丁目2番1号 日立エンジニアリング株式会社内